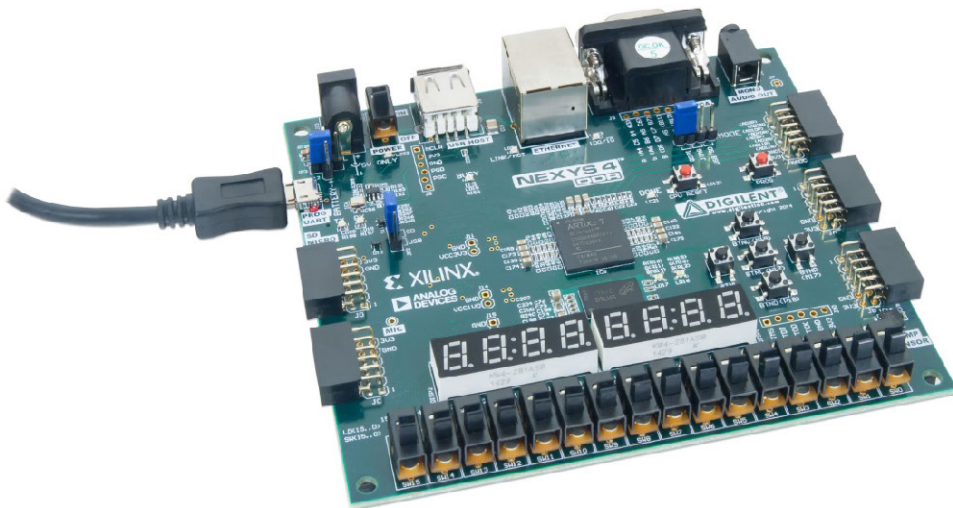


# VHDL Design using Vivado

우영준 지음



**Software : Xilinx Vivado HL WebPACK Edition 2016.1**

**Hardware : Digilent Nexys4DDR**



# 목차

<b>Chapter 1 소개 및 툴 설치</b>	<b>5</b>
1-1 VHDL 소개	6
1-2 Xilinx 및 Vivado 툴 소개	7
1-3 이니프로 및 Nexys4DDR 실습보드 소개	9
1-4 Vivado 툴 설치	10
1-5 Vivado 프로젝트 만들기	19
<b>Chapter 2 VHDL 기본 형태</b>	<b>31</b>
2-1 하드웨어 모델링 기법	32
2-2 VHDL 기본 형태	34
2-3 Signal Assignment	35
2-4 Vivado Design Flow	37
2-5 Nexys4DDR 보드 실습 1	56
<b>Chapter 3 VHDL 기본 문법</b>	<b>58</b>
3-1 Constant & Signal	59
3-2 VHDL Data Types	62
3-3 연산자	67
3-4 Nexys4DDR 보드 실습 2	69

<b>Chapter 4 인스턴스 생성</b>	<b>70</b>
4-1 계층적인 설계	71
4-2 인스턴스 생성 (Instantiation)	72
4-3 IP Instantiation using Vivado	75
4-4 Nexys4DDR 보드 실습 3	84
<b>Chapter 5 Behavioral Modeling</b>	<b>85</b>
5-1 Process	86
5-2 Behavioral Statements	90
5-3 Nexys4DDR 보드 실습 4	94
<b>Chapter 6 시뮬레이션</b>	<b>95</b>
6-1 테스트벤치 작성	96
6-2 Vivado 시뮬레이션	100
6-3 시뮬레이션 실습	109
<b>Chapter 7 순차회로</b>	<b>110</b>
7-1 레지스터	111
7-2 카운터	119
7-3 Nexys4DDR 보드 실습 5	124

<b>Chapter 8 메모리</b>	<b>125</b>
8-1 메모리 생성	126
8-2 ROM	131
8-3 메모리 IP Core	133
8-4 Nexys4DDR 보드 실습 6	135
<b>Chapter 9 Finite State Machine</b>	<b>136</b>
9-1 FSM 소개	137
9-2 FSM 구현	140
9-3 Nexys4DDR 보드 실습 7	144
<b>Chapter 10 VHDL 고급 문법</b>	<b>146</b>
10-1 Other Data Types	147
10-2 Generic	151
10-3 Generate	154
10-4 Subprogram	155
10-5 Nexys4DDR 보드 실습 8	160
<b>Chapter 11 프로젝트</b>	<b>161</b>
11-1 스탭왓치 프로젝트	162
11-2 추천 프로젝트	163