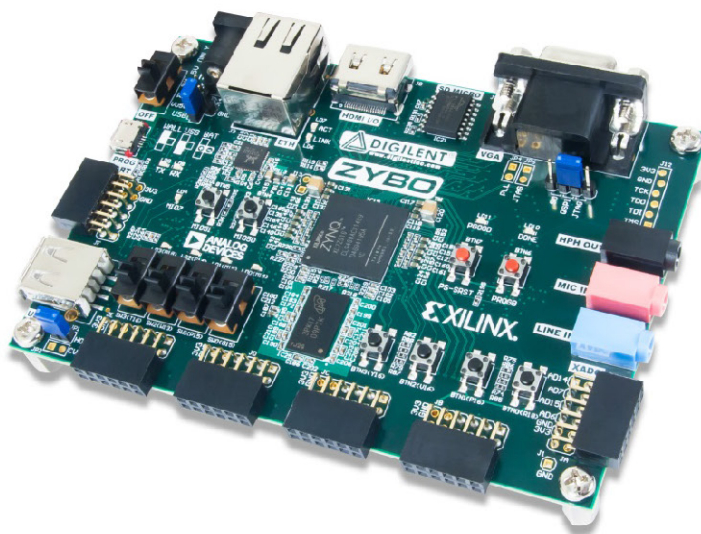


VHDL Design using Vivado

우영준 지음



Hardware : Digilent Zybo Kit

Software : Xilinx Vivado HL WebPACK Edition 2016.4

Book Version : 2017



목차

Chapter 1 소개 및 툴 설치	5
1-1 VHDL 소개	6
1-2 Xilinx 및 Vivado 툴 소개	7
1-3 이니프로 및 Zybo Kit 소개	10
1-4 Vivado 툴 설치	11
1-5 Vivado 프로젝트 만들기	20
Chapter 2 VHDL 기본 형태	31
2-1 하드웨어 모델링 기법	32
2-2 VHDL 기본 형태	34
2-3 Signal Assignment	35
2-4 Vivado Design Flow	37
2-5 Zybo Kit 실습 1	57
Chapter 3 VHDL 기본 문법	58
3-1 Constant & Signal	59
3-2 VHDL Data Types	62
3-3 Bit Slice	67
3-4 연산자	68
3-5 Zybo Kit 실습 2	70

Chapter 4 인스턴스 생성	71
4-1 계층적인 설계	72
4-2 인스턴스 생성 (Instantiation)	73
4-3 IP Instantiation using Vivado	77
4-4 Zybo Kit 실습 3	87
Chapter 5 Behavioral Modeling	88
5-1 Process	89
5-2 Behavioral Statements	93
5-3 Zybo Kit 실습 4	97
Chapter 6 시뮬레이션	98
6-1 테스트벤치 작성	99
6-2 Vivado 시뮬레이션	103
6-3 시뮬레이션 실습	111
Chapter 7 순차회로	112
7-1 레지스터	113
7-2 카운터	121
7-3 Zybo Kit 실습 5	126

Chapter 8 메모리	127
8-1 메모리 생성	128
8-2 ROM	133
8-3 메모리 IP Core	135
8-4 Zybo Kit 실습 6	137
Chapter 9 Finite State Machine	138
9-1 FSM 소개	139
9-2 FSM 구현	142
9-3 Zybo Kit 실습 7	146
Chapter 10 VHDL 고급 문법	147
10-1 Other Data Types	148
10-2 Generic	152
10-3 Generate	155
10-4 Subprogram	157
Chapter 11 프로젝트	163
11-1 스탭왓치 프로젝트	164
11-2 VGA 출력 프로젝트	165