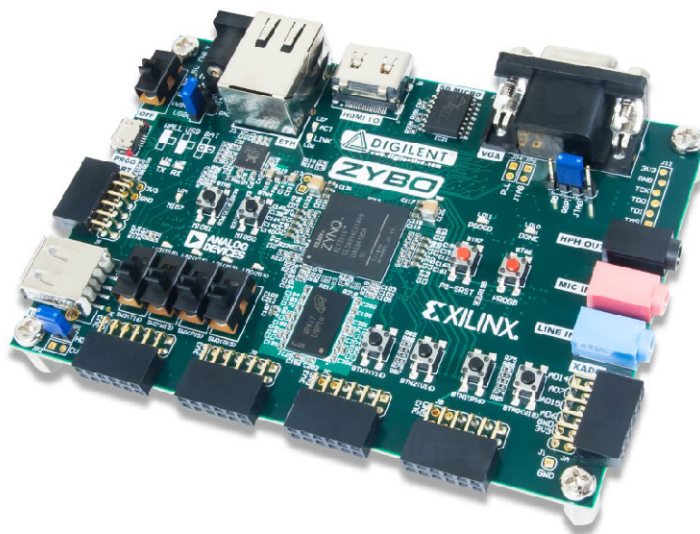


Verilog HDL Design using ISE

우영준 지음



Hardware : Digilent Zybo Kit

Software : Xilinx ISE WebPACK 14.7

Book Version : 2017



목차

Chapter 1 소개 및 툴 설치	5
1-1 Verilog HDL 소개	6
1-2 Xilinx 및 ISE 툴 소개	7
1-3 이니프로 및 Zybo Kit 소개	10
1-4 ISE 툴 설치	11
1-5 ISE 프로젝트 만들기	22
Chapter 2 Verilog 기본 형태	27
2-1 하드웨어 모델링 기법	28
2-2 Verilog 기본 형태	30
2-3 assign 문	31
2-4 ISE Design Flow	33
2-5 Zybo Kit 실습 1	60
Chapter 3 Verilog 기본 문법	61
3-1 Data Types & Parameter	62
3-2 숫자 표현법	65
3-3 연산자	68
3-4 Zybo Kit 실습 2	71

Chapter 4 인스턴스 생성	72
4-1 계층적인 설계	73
4-2 인스턴스 생성 (Instantiation)	74
4-3 IP Instantiation using ISE	77
4-4 Zybo Kit 실습 3	91
Chapter 5 Behavioral Modeling	92
5-1 Procedural Block	93
5-2 Behavioral Statements	97
5-3 Procedural Assignment	102
5-4 Zybo Kit 실습 4	105
Chapter 6 시뮬레이션	106
6-1 테스트벤치 작성	107
6-2 ISE 시뮬레이션	110
6-3 시뮬레이션 실습	118
Chapter 7 순차회로	119
7-1 레지스터	120
7-2 카운터	126
7-3 Zybo Kit 실습 5	130

Chapter 8 메모리	131
8-1 메모리 생성	132
8-2 ROM	137
8-3 메모리 IP Core	139
8-4 Zybo Kit 실습 6	141
Chapter 9 Finite State Machine	142
9-1 FSM 소개	143
9-2 FSM 구현	146
9-3 Zybo Kit 실습 7	150
Chapter 10 Verilog 고급 문법	151
10-1 Other Data Types	152
10-2 Parameter	154
10-3 Generate	156
10-4 Subprogram	158
Chapter 11 프로젝트	161
11-1 스탭왓치 프로젝트	162
11-2 VGA 출력 프로젝트	163